

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-056993

(43)Date of publication of application : 12.03.1991

(51)Int.Cl. G09G 3/36
G02F 1/13
G02F 1/133

(21)Application number : 01-193624

(71)Applicant : HITACHI LTD
HITACHI VIDEO ENG CO LTD

(22)Date of filing : 26.07.1989

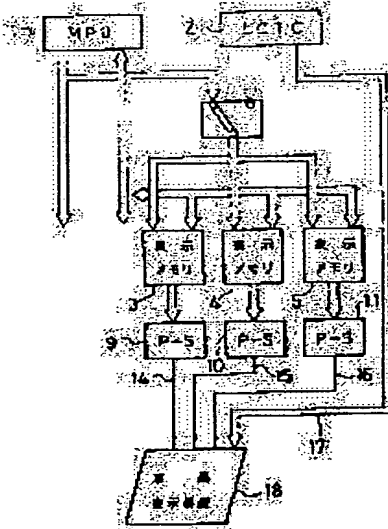
(72)Inventor : NISHIOKA KIYOKAZU
TSUCHIYA NOBUO
MANO HIROYUKI

(54) DISPLAY SYSTEM AND LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To reduce the quantity of data required to be transmitted between a host device and a liquid crystal display device by providing the host device outputting logical display information and the display device converting the logical information to physical display information and making the information into a video.

CONSTITUTION: A system is provided with the host device 1, and the display device 18 converting the input of the logical display information to the physical display information and making the information into the video. The logical display information is read out by the display memories 3-5 and converted into serial data at parallel/serial converting circuits 9-11, and the converted serial data is outputted to the liquid crystal device 18. By paying attention to the fact that the logical information is restricted, and by directly outputting the logical display information to the liquid display device 18, the quantity of the transmitted data and the number of the signal lines of cables connected to the liquid display device 18 can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報(A) 平3-56993

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月12日

G 09 G 3/36
G 02 F 1/13
1/133

5 1 0

8621-5C
8806-2H
7709-2H

審査請求 未請求 請求項の数 8 (全16頁)

⑮ 発明の名称 表示システムおよび液晶表示装置

⑯ 特 願 平1-193624

⑰ 出 願 平1(1989)7月26日

⑱ 発 明 者 西 岡 清 和 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

⑲ 発 明 者 土 谷 信 雄 神奈川県横浜市戸塚区吉田町292番地 日立ビデオエンジニアリング株式会社内

⑳ 発 明 者 真 野 宏 之 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 出 願 人 日立ビデオエンジニアリング株式会社 神奈川県横浜市戸塚区吉田町292番地

㉓ 代 理 人 弁理士 富田 和子

明 細 書

1. 発明の名称

表示システムおよび液晶表示装置

2. 特許請求の範囲

1. 表示情報として、論理表示情報を入力する表示系回路を備えたホスト装置と、論理表示情報を入力を物理表示情報に変換し、表示パネルに映像化する手段を備えた表示装置と、を有することを特徴とする表示システム。

2. 表示情報として論理表示情報を入力される液晶表示装置であって、

入力される論理表示情報を物理表示情報に変換するテーブルを備えた変換手段と、物理表示情報を液晶パネルに映像化する手段とを有することを特徴とする液晶表示装置。

3. 請求項2記載の液晶表示装置であって、

書き可能な記憶手段が記憶する前記テーブルにアクセスする中央処理装置と、を有することを特徴とする液晶表示装置。

4. 請求項3記載の液晶表示装置であって、

液晶表示装置外部と前記中央処理装置との、入力ポートまたは入出力ポートを有することを特徴とする液晶表示装置。

5. 請求項3記載の液晶表示装置であって、

液晶表示装置外部から前記中央処理装置への入力と前記論理表示情報との共用の入力ポートと、時分割多重され入力する論理表示情報と液晶表示装置外部よりの入力とを分離する手段とを備えたことを特徴とする液晶表示装置。

6. 請求項3記載の液晶表示装置であって、

分割受信する論理表示情報を復元する手段を備えたことを特徴とする液晶表示装置。

7. 請求項2、3、4、5または6記載の液晶表示装置であって、

1以上のパラレルデータを、シリアルデータ化して液晶装置外部に出力する手段と、1以上の、液晶表示装置外部より入力するシリアルデータをパラレルデータ化する手段と、の2手段のうち少なくとも1手段を備えたことを特徴とする液晶表示装置。

8. ホスト装置と液晶表示装置とよりなる表示システムであって、

表示用同期情報を発生する同期発生手段と、表示用同期情報が帰線走査中であることを示す場合に限り表示制御情報を出力する中央処理装置と、論理表示情報を出力する手段と、論理表示情報と表示制御情報とを切り換え時分割多重し、液晶表示装置に出力する手段と、を備えたホスト装置と、

ホスト装置よりの表示制御情報と前記論理表示情報との共用の入力ポートと、時分割多重され入力する論理表示情報と表示制御情報とを分離する手段と、論理表示情報入力を物理表示情報に変換するテーブルを記憶する書き換え可能な記憶手段を備えた変換手段と、物理表示情報を液晶パネルに映像化する手段と、表示制御情報に応じて記憶手段が記憶する前記テーブルにアクセスする中央処理装置と、を備えた液晶表示装置と、

を有することを特徴とする表示システム。

第2図は、階調表示するコンピュータ表示系回路のブロック図である。

図中、1は中央演算処理装置(以下MPUと略記)、2は液晶表示タイミングコントローラ(以下、LCTCと略記)、3~5は表示メモリ、6は表示メモリから読み出す情報から表示色を決定するパレット、7は色情報を階調信号に変換する階調制御回路、8は単色表示の液晶表示装置である。

本ブロック図は3系列の表示メモリⅠ、Ⅱ、Ⅲを持っており、8色に対応する8階調表示が可能であり、MPU1が、各表示メモリに表示する情報を書き込むことで、液晶表示装置8に所望の情報を出力する。

この表示メモリよりの、液晶表示装置8への所望の情報の出力処理はLCTC2が行なう。

LCTC2は、液晶表示装置8の走査順序に対応する表示メモリのアドレスを発生すると共に、液晶表示装置8に対して表示に必要な同期信号を出力する。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、パーソナルコンピュータ等に適用する多色表示可能な液晶表示装置の表示方式に関するものである。

[従来の技術]

近年、ラップトップ型コンピュータ市場の急速な広がりに応じ、液晶表示装置が急速に進歩している。現状、これらのラップトップ型コンピュータは、カラー表示可能なものは少なく、単色表示のものが大多数である。

しかしながら、この種のコンピュータのアプリケーションは多くがカラー表示を前提としているため、単色表示のものは階調表示をサポートしている。要するに、色情報を、単色の濃淡情報に変換し、カラー表示をエミュレーションしている。

このような階調表示の例としては、特開昭58-57192号公報に記載されているものがある。

このような従来技術を利用したコンピュータの表示系回路の従来例を第2図に示す。

このアドレスにしたがって、表示メモリⅠ3~Ⅲ5は、表示データを出力する。これらのデータは、1画面に対して3ビットの情報としてパレット6に送られる。パレット6は、8ワード×3ビット構成のメモリであり、入力する3ビットのアドレス情報にしたがってメモリの内容(3ビットで表現する8色の色情報)を出力する。

要するに、パレット6は、3ビットの論理情報を8色の物理情報に変換する。

そして、さらに、階調制御回路7は、単色の液晶表示装置8に表示する8階調の表示信号を生成する。階調表示は、1画面走査単位で表示と非表示を制御するフレーム間引き方式である。

つまり、8画面走査のうち、表示と非表示の比率で8階調を表現する。たとえば、表示と非表示の割合を、7:1、5:3等に設定し8段階の濃淡表示を実現する。

この方式によれば、単色2階調の液晶表示装置で8階調表示を実現できることに加え、階調制御回路7はLSI化等によりハードウェアの小形化

が可能であり、コストパフォーマンスが良い点で優れている。

ただし、この方式は、微妙な濃淡差を制御するのが困難であり8～16階調が限度となる。したがって、これを超える多階調表示を実現するためには、液晶表示装置自身で階調表示する必要がある。

具体的には、プラズマ表示装置で採用しているパルス幅変調方式等がある。これは、1画素の点灯する時間を制御するものである。例えば、1画素を表示する時間が50n秒であるとする、5n秒単位のパルス幅制御を行えば11階調の表示が可能となる。

このような階調付き液晶表示装置を利用した場合のコンピュータ表示系回路のブロック図を第3図に示す。

図中、第2図と同一機能を有する回路ブロックには同一符号を付す。

12は64階調パレット、13は64階調液晶表示装置である。本表示系は、64階調のうち8

階調を選択して表示する機能を有している。

表示メモリ3～4から読み出すデータは、64階調パレット12の入力となり、64階調パレット12は、8ワード×6ビット構成のメモリであり、3ビットの論理情報を6ビットの物理表示情報に変換する。

要するに、メモリの内容が、8個の論理情報を64階調のうち、どの階調に割当ててかを決定する。この6ビットの階調表示情報は、64階調液晶表示装置13へ送り、表示メモリ3～5の映像情報を画面に表示する。以上説明したように、第2図に示すフレーム間引き方式と比較して、64階調液晶表示装置は、受け取る情報量が32倍(64階調÷2階調)となる。

〔発明が解決しようとする課題〕

以上のように、従来例においては、表示階調数を増加させる場合、次のような点が問題となる。

まず、フレーム間引き方式は、微妙な階調差をつけることが困難であり、8～16階調程度が限界である。

これに対して、現状の液晶表示装置は、転送速度最大のものでも約12Mbps程度であり、電磁波障害対策にも苦慮している状況である。

将来的に、多色表示を実現するためには、深刻な問題である。

以上説明してきた問題点は、ホスト装置と液晶表示装置間の要転送データ量が多大であることに起因する。

そこで、本発明は、ホスト装置と液晶表示装置間の要転送データ量を削減できる表示システムおよび液晶表示装置を提供することにある。

〔課題を解決するための手段〕

本発明は、前記目的達成のために、表示情報として、論理表示情報を出力する表示系回路を備えたホスト装置と、論理表示情報入力を物理表示情報に変換し、表示パネルに映像化する手段を備えた表示装置と、を有することを特徴とする表示システムを提供する。

また、この場合、ホスト装置は、表示用同期情報を発生する同期発生手段と、表示用同期情報が

一方、階調機能付き液晶表示装置を使用する場合は、液晶表示装置が受け取る情報量が増大するという問題点がある。つまり、情報量が増えたことにより、液晶表示装置に与えるインターフェース信号線数が増加するため、コネクタの大形化と基板上の配線領域の増加を招き高密度実装の点で不利となる。

一方、信号線数の増加をおさえるためには映像信号の転送速度を向上せねばならず、CMOS等の低コストなデバイスでは対応できなくなる。また、ケーブルから出る電磁波障害対策が困難になるという問題点がある。

この問題は、単色階調表示よりも多色表示となった場合に、さらに顕著となる。コンピュータ表示系の世界的標準仕様である26万色表示の場合、画素あたり18ビットが必要であり、この場合転送速度が20～30Mbps程度必要となる。

一方、従来の単色表示では、画素あたり8ビット相当の情報量が約3Mbpsの転送速度であるので、従来に比べ約10倍の転送量が必要となる。

帰線走査中であることを示す場合に限り表示制御情報を出力する中央処理装置と、論理表示情報を出力する手段と、論理表示情報と表示制御情報とを切り換え時分割多重し、液晶表示装置に出力する手段と、を備え、

液晶表示装置は、ホスト装置よりの表示制御情報と前記論理表示情報との共用の入力ポートと、時分割多重され入力する論理表示情報と表示制御情報とを分離する手段と、論理表示情報入力を物理表示情報に変換するテーブルを記憶する書き換え可能な記憶手段を備えた変換手段と、物理表示情報を液晶パネル等の表示パネルに映像化する手段と、表示制御情報に応じて記憶手段が記憶する前記テーブルにアクセスする中央処理装置と、を備えることが望ましい。

また、本発明は、前記目的を達成するために、表示情報として論理表示情報を入力される液晶表示装置であって、入力される論理表示情報を物理表示情報に変換するテーブルを備えた変換手段と、物理表示情報を液晶パネルに映像化する手段とを

以上の、液晶表示装置外部より入力するシリアルデータをパラレルデータ化する手段と、の2手段のうち少なくとも1手段を備えることが望ましい。

〔作用〕

本発明の一態様である、多色表示可能な表示システムにおける作用を説明する。

この表示システムによれば、映像を表示する場合、ホスト装置の中央処理装置は、同期発生手段にて発生する液晶表示装置用の表示用同期情報が表示期間中であることを示している期間中、帰線走査中であることを示している時に、必要があれば、表示制御情報を出力し、液晶表示装置の書き換え可能な記憶手段中の論理表示情報と物理表示情報の変換テーブルに、表示しようとする表示色の物理表示情報と論理保持情報の対応を変換テーブルを書き込む、または、変更する。

液晶表示装置において、中央処理装置は、入力されたホスト装置よりの表示制御情報を取り出し、表示制御情報の内容に基づいて、変換手段が有する書き換え可能な記憶手段にテーブルを書き込む、または、テーブルを変更する。

備えたことを特徴とする液晶表示装置、を提供する。

また、前記液晶表示装置は、書き換え可能な記憶手段が記憶する前記テーブルにアクセスする中央処理装置と、を備えることが望ましく、さらには、液晶表示装置外部と前記中央処理装置との、入力ポートまたは入出力ポートを備えることが望ましい。

また、前記液晶表示装置は、前記入力ポートとして、液晶表示装置外部より前記中央処理装置への入力と、前記論理表示情報と、の共用の入力ポートを備え、時分割多重され入力する、論理表示情報と液晶表示装置外部よりの入力とを、分離する手段を備えても良い。

また、前記目的を達成するために、前記液晶表示装置に、分割受信する論理表示情報を復元する手段を備えたことを特徴とする液晶表示装置を提供する。

また、1以上の、パラレルデータを、シリアルデータ化して液晶装置外部に出力する手段と、1

その後、ホスト装置は、表示系回路にて、同期発生手段にて発生する液晶表示装置用の表示用同期情報が表示期間中であることを示している期間中、表示系回路にて表示情報として論理表示情報を液晶表示装置に対して出力する。

液晶表示装置は、受け取った、論理表示情報入力を取り出し、変換手段にて記憶手段に記憶している変換テーブルで物理表示情報に変換する。そして、この物理表示情報を液晶パネルに映像化する。

また、ホスト装置が、前記帰線期間中に記憶手段中の論理表示情報と物理表示情報の変換テーブルの内容の送信の要求を、表示制御情報として出力し、液晶装置の中央処理装置が、その要求に応ずるようにしても良い。

なお、以上の、ホスト装置と液晶表示装置との、各情報の受け渡しは、共用ポートより行うのが望ましい。

また、ホスト装置が、論理表示情報を分割して送信し、液晶表示装置が、分割受信した論理表示

情報を復元するようにしても良い。

また、ホスト装置が、液晶表示装置に出力する表示制御情報および論理表示情報は、本来パラレルデータであるが、シリアルデータ化して液晶装置外部に出力し、液晶表示装置内においてシリアルデータをパラレルデータ化するようにするのが望ましい。

以上のように、液晶表示装置は、論理表示情報と物理表示情報との変換テーブルを記憶した記憶手段を内蔵しているため、論理情報を受け取ることにより、多色または多階調表示ができる。論理情報は、物理表示情報よりも情報量が少ないため、液晶表示装置が外部から入力する情報量を減少させ、信号線の増大と転送速度の向上を軽減できる。

(以下余白)

る。つまり、64階調のうち8階調を選択して表示する。

これは、パソコン等の表示系においては、64階調全てを同時に表示するためには、表示論理情報が6ビット必要となり、表示メモリの容量が本実施例の2倍を要しコスト増加となるため、多くの階調のうち任意の限られた階調を選択して表示するのが、一般的な方式となっているのに合わせたものである。

本実施例において、表示メモリより読み出された論理表示情報は、並直変換回路においてシリアルデータに変換され、液晶表示装置18に出力される。

要するに、論理表示情報が限られている点に着目し、論理表示情報を直接液晶表示装置18へ出力することにより、転送データ量を削減すると共に、液晶表示装置18に接続するケーブルの信号線数を減らすことが特徴である。

次に、液晶表示装置18の詳細の構成を、第4図に示す。

[実施例]

以下、本発明に係る表示システムの第1の実施例について説明する。

表示システムは、ホストと液晶表示装置18より構成される。

第1図にホスト側表示系回路の構成を示す。

従来例を示す第2図および第3図と同一機能を有する回路ブロックには同一符号を付す。

図中、1は中央演算処理装置(以下MPUと略記する)、2は液晶表示タイミングコントローラ(以下、LCTCと略記)、3～5は表示メモリ、9、10、11は表示メモリから読み出したパラレルデータをシリアルデータに変換する並直変換回路、14～16は表示メモリ3～5から読み出す表示情報をシリアル化したシリアル信号線、17はLCTC2が出力する同期信号線である。

18には64階調の表示が可能なパレット内蔵の液晶表示装置を示す。

本表示系回路は、シリアル信号線14～16の3ビットの論理情報を液晶表示装置18へ出力す

図中、従来例を示す第1図と同一機能を有する回路ブロックおよび同一信号線には同一符号を付す。

図に示すように、同期信号線17は以下19～22の4種類の信号よりなる。

19はデータシフト信号(以下CL2と略記)、20は液晶交流駆動用信号(以下Mと略記)、21はデータラッチ信号(以下CL1と略記)、22は画面走査の始まりを示す信号(以下FLMと略記)である。23はタイミング回路、24はxドライバ、25はyドライバ、26は液晶表示パネル、27はパレットである。液晶表示パネル26が実際に表示を行なう部分であり、画面解像度が640×400ドットの場合、横方向に640個、縦方向に400個の電極(合計256K個)がパネル面を構成している。

これらの電極は、xドライバが出力する640本の信号とyドライバが出力する400本の信号により駆動される。

yドライバは、パネル面400ライン中走査し

ている1ラインを決定する働きをする。つまり1ライン目から400ライン目まで順次選択する。

これに対し、xドライバは、1ライン分に担当する640ドットの表示情報を出力するものである。

このようなxドライバ24とyドライバ25は、同期信号線17が制御する。M信号20とCL1信号21は、タイミング回路23に入力され、xドライバ24とyドライバ25の電極に加わる電圧の交流化と画面走査の水平同期を制御する。

CL2信号19は、xドライバ24が1ライン分の表示情報を取り込むためのタイミングを決定する。また、FLM信号22は、yドライバが走査する1ライン目のタイミングを示すものであり、画面走査の垂直同期をとる。

シリアル信号線14～16の論理表示情報はパレット27にて、物理表示情報に変換され、xドライバ24へ送られ、CL2信号19のタイミングでラッチされる。

xドライバ24は、1ドット当り6ビットの物

理表示情報を受け取り、アナログの階調情報に変換した後、yドライバ25の走査に同期して、液晶表示パネル26を駆動する。

本発明のポイントであるパレット27は、論理表示情報であるシリアル信号線14～16をアドレス線に接続し、データ線をxドライバ24に接続することにより8ワード×6ビットのメモリで構成できる。

要するに、各アドレスに対応するメモリの内容(データ)が、各8個の論理表示情報に対応する64階調の階調レベルを決定する。

なお、本発明は、単色の多階調表示に限らず、多色表示にも対応できる他、液晶表示装置に内蔵するパレットの内容が、外部から読み書き可能とすることもできる。

以下、この場合の例を、第2の実施例として説明する。

第5図は第2の実施例を示すホスト側表示系回路のブロック図である。同図において、第1図と同一機能を有する回路ブロックおよび同一信号線

には同一符号を付し、説明を省略する。

図中、5aは表示メモリ、11aは並直メモリ、28は論理表示情報を示すシリアル信号線、29はMPU1が制御するシリアルポート、30はシリアルデータ線。

31にはシリアルポート29を介してMPU1が読み書き可能なパレットを内蔵する26万色表示可能なカラー液晶表示装置を示す。

本実施例では、論理表示情報を16種とするため表示メモリを増加し(5a)、それにともなうシリアル信号線28を液晶表示装置31へ新たに接続している。また、液晶表示装置31に接続する信号線数を少なくするため、シリアルポート29を介して、液晶表示装置31内部のパレットの内容にアクセスする。

このシリアルポート29は、市販の通信制御LSIにより容易に実現できる。

次に、液晶表示装置31について第6図を用いて説明する。

第6図は、液晶表示装置31の詳細を示すブ

ック図である。

同図において、第5図と同一回路ブロックおよび同一信号線には同一符号を付し、説明を省略する。図中、32はROM、RAM、シリアルポートを内蔵するMPU、33はMPU32のライト信号線、34はMPU32のリード信号線、35はMPU32のデータバス、36はMPU32の出力ポート線、37は選択回路、38は複合アドレスバス、39は16ワード×6ビット構成のパレット、40～42は赤、青、緑の色成分に対応する6ビット構成の物理表示バス、43はカラー表示に対応するxドライバ、44はカラー情報を表示する液晶表示パネルである。

MPU32は、シリアルデータ線30がホストとのシリアルポートに接続されており、ホストよりパレット39への書き込み情報、或いは、パレット39からの読み出し要求情報を受け取る。

読み出し要求を受けた場合は場合は、パレット39から情報を読み出し、シリアルデータ線30へ出力する。

また、MPU1がパレット39の内容を読み書きする場合は、まず、出力ポート線36を制御して選択回路37が、MPU32のアドレスバスを選択する状態とする。

これにより、複合アドレスバス38はMPU32のアドレス情報となるので、この状態で、ライト動作の時はライト信号線33を有効とし、データバス35へ、シリアルデータ線30にてホストより受け取った書き込み情報を出力する。

一方、リード動作の時はリード信号線34を有効とし、パレット39が読み出し情報をデータバス35を介して読み出し、その後、シリアルデータ線30にてホストへ出力する。

読み書きが完了すると、MPU32は出力ポート36を制御して、選択回路37が論理表示情報であるシリアルデータ線14～16、および28を選択する状態とする。

これにより、複合アドレスバス38の4ビット論理表示情報に対応する6ビットの物理情報が、パレット39から物理表示バス40～42へ出力

されるので、xドライバ43は、26万色の物理表示情報を受け取ることができ、赤青緑の各色成分ごとに階調情報を生成して、液晶表示パネル44を駆動する。

ところで、液晶パネル44は、640×400ドットの場合、(640×3)×400画素を有しており、横方向3画素で1ドットを構成している。要するに、赤青緑の順番で1920画素の構成となっている。

ここで、この詳細を第7図に示す。

赤成分の物理表示バス40の情報は、6ビットの階調(64レベルの階調)であるため、xドライバ43が赤の1画素について、64レベルのアナログ情報を出力する。青成分と緑成分についても同様である。これにより、26万色の表示が可能となる。

次に、前記のパレット39について詳細を説明する。

第8図はパレット39の詳細を示すブロック図である。図中、第6図と同一機能を有する回路ブ

ロックおよび同一信号線には同一符号を付し、説明を省略する。

図中、45はアドレスデコーダ、46～48はデコード信号線49～51は16ワード×6ビットのRAMブロックである。

物理表示情報が入力されると、デコーダ45は複合アドレスバスの情報が0～F番地の時、デコード線46、10～1F番地の時デコード線47、20～2F番地の時デコード線48を有効にする。

一方、RAMブロック49～51は各々、赤青緑の色成分に対応する物理表示情報を記憶している。したがって、0番地の内容は論理表示情報0の赤成分の物理表示情報、1番地は論理表示情報1の赤成分の物理表示情報に対応している。同様に、10番地と20番地は、論理表示情報0の青成分と緑成分の物理表示情報に対応する。

各RAMブロック49～51は16ワード×6ビットの構成となっている。このうち、RAMブロック49の詳細を以下に説明する。

第9図はRAMブロック49の詳細を示すブ

ック図である。

図中、第8図と同一機能を有する回路ブロックおよび同一信号線には同一符号を付し、説明を省略する。

図中、52と53はNAND回路、54と55は16ワード×4ビット構成のRAM、55は3ステートのバッファである。

NAND回路52は、デコード線46とライト信号線33が有効になると、RAM54と55に書き込み信号を出力する。よって、この時のデータバス33の情報が、複合アドレスバス37の示す番地に書き込まれる。

一方、デコード線46とリード信号線35が有効になると、バッファ55のハイインピーダンス状態を解除する。よって、この時の複合アドレスバス37の示す番地の内容が、物理表示バス40を介して、データバス35へ出力する。リード動作が終了しリード信号線34が無効になると、バッファ55は再びハイインピーダンス状態となり、物理アドレスバス40の情報がデータバス35に

影響することはない。

ここで示したRAM54と55は、市販のTTL素子等を利用すれば良い。

本実施例の場合、RAM54はデータバス34の下位4ビット、RAM55はデータバス34の上位2ビットに接続している。

以上、説明したように、液晶表示装置に内蔵したパレットの内容は外部から読み書き可能であり、ホストが必要に応じてパレットの内容を書き換えることにより、26万色のような多色表示にも対応可能である。

特に、従来であれば物理表示情報の18ビットを外部から入力する必要があったが、本発明により、論理表示情報の4ビットと、シリアルデータ情報1ビットの合計5ビットで26万色表示が可能である。

以上説明したように、本発明は論理アドレス情報が、表示メモリのコストに制限される点に着目したものである。この表示メモリのコスト(容量)を一定に保つとすると、表示系の解像度と論理表

示情報量は反比例の関係にある。

つまり、解像度を低くすると論理表示情報量を増すことができる。前述の実施例によると、 640×400 ドットで論理表示情報は16色であるが、 320×200 ドットにすると論理表示情報は256色に対応可能である。

このような解像度と論理表示情報の対応色を可変とする例を第3の実施例として、以下に説明する。

第10図は、 640×400 の解像度で論理表示情報が16色、および、 320×200 ドットの解像度で論理表示情報が256色に可変可能な表示システムのホスト側表示系回路のブロック図である。

図中、第5図と同一機能を有する回路ブロックおよび同一信号線には同一符号を付し、説明を省略する。

56と57は4ビットから1ビットの並直変換回路、58～61は、2ビットの論理表示情報を時分割で送る合成論理表示情報線、62は256

色の論理表示情報に対応できる液晶表示装置である。

表示メモリ3は、データ8ビットのメモリである。

320×200 の解像度で論理表示情報が256色とする場合は、各表示メモリの8ビットのうち、 n ($n=1, 2, 3, 4$)と $n+4$ ビット目の2ビットを1画素に割り当てる。すなわち、1アドレスあたり4画素分のデータとする。そして、たとえば、各表示メモリ3の8ビットを並直変換回路56と57に振り分け、シリアルデータ化し、2ビット \times 4の時分割された画素毎の論理表示情報に変換する。

他3つの表示メモリについても同様の処理を施し、2ビット \times 4の計8ビットの論理表示情報(256色)を生成する。

また、さらに、論理表示情報が、8ビットでは液晶表示装置62に接続する信号線数が増えるため、2ビットの論理表示情報にさらに時分割して、合成論理表示信号線58～61へ出力する。

この場合、表示解像度が低いため、論理表示情報の転送速度を低下しても、フレーム周波数が下がるという問題はない。したがって、時分割転送を実現することができる。これにより、液晶表示装置62へ接続する信号線を4本とすることができる。

640×400 の解像度で論理表示情報が16色とする場合は、各表示メモリの8ビットのうち、1ビットを1画素に割り当てる。この場合、1番目から8番目の画素を、1、3、5、7、2、4、6、8の順で表示メモリに格納する。すなわち、1アドレスあたり8画素分のデータとする。そして、たとえば、各表示メモリ3の8ビットを並直変換回路56と57に振り分け、シリアルデータ化し、2ビット \times 4の時分割された2画素毎の論理表示情報に変換する。

他3つの表示メモリについても同様の処理を施し、2ビット \times 4とする。

また、さらに、論理表示情報が、256色の9場合と同様に2ビットを、さらに時分割して、合

成論理表示信号線58～61へ出力する。

結果、画素あたり、パラレル4ビット(16色)の論理表示情報が、順次液晶表示装置62に出力される。

なお、以上の例では640×400の解像度で論理表示情報が16色、320×200の解像度で論理表示情報が256色の場合について、説明したが、本例は、表示メモリの画素あたりに割り当てるビット数を変えることにより、さらに、160×100の解像度で論理表示情報が6.2万色の場合や、さらに、それ以上の多色表示にも対応できる。

次に、本実施例における液晶表示装置62について説明する。

本実施例における液晶表示装置62は、320×200ドットの256色表示と、640×400ドットの16色表示の両方に対応する。

この表示モード切換え情報は、シリアルポート29を介して、液晶表示装置62に送る。すなわち、シリアルポート29と液晶表示装置62の間

報に展開して出力する。

パレット66は、論理表示情報の増加にともないRAM容量を増加したものであり、第2の実施例で示したメモリ素子の数量を増加することで容易に構成できる。

一方、液晶表示パネル26は、640×400ドットの解像度である。これに、320×200ドットの情報を表示するためには、縦横共に2倍に拡大するため4ドット単位で表示すれば良い。

この方式は、一般的手法であり、実現は容易である。

そこで、本実施例の要点である論理表示情報量を調整する論理情報変換部64の詳細について述べる。

第12図に論理情報変換部64の構成を示す。

図中、第11図と同一機能を有する回路ブロックおよび同一信号線には同一符号を付し、説明を省略する。

図中、67は4ビットのラッチ回路、68は論理積回路である。

でやりとりする情報は、パレットの読み書き情報に限らない。

第11図に、本実施例に係る液晶表示装置62の構成を示す。

図中、第10図および第6図と同一機能を有する回路ブロックおよび同一信号線には同一符号を付し、説明を省略する。

図中、63は表示モードを切り換える出力ポート線、64は論理表示情報変換部、65は論理表示情報バス、66は256ワード×18ビットのRAM構成のパレットである。

MPU32は、シリアルデータ線30を介し、ホストより表示モード情報を受け取り、出力ポート線63を制御する。

論理情報変換部64は、後述するように出力ポート線63の情報により、論理表示情報が16色であるか、256色であるかを判断し、パレット66へ論理表示情報を出力する。

すなわち、256色モード時には、時分割した4ビットの論理表示情報を8ビットの論理表示情

16色表示モードの場合、出力ポート線63は「L」状態となっているため、論理積回路68の出力は「L」となる。したがって、論理表示情報バス65は、第2の実施例と同様に、合成論理表示信号線58～61の情報がそのまま出力される。

一方、256色表示モードの場合、合成論理表示信号線58～61の情報を8ビットに変換する必要がある。そこで、データシフト信号線19のタイミングで、1回目に送られてくる論理表示情報4ビットをラッチし、2回目に送られてくる論理表示情報4ビットと合わせて、8ビットの論理表示情報として、論理表示情報バス65へ出力する。

このような論理情報変換部64の働きにより、多様な表示モードに対応することができる。

本例は、640×400ドットの16色表示モードと、320×200ドットの256色表示モードの2つのモードに対応するものであるが、さらに、640×200ドットの64色モード等についても対応可能である。

以上説明したように、液晶表示装置が外部との間で情報交換する手段を設けることは、単にパレットの内容を読み書きするだけでなく、多様な表示モードに対応するように、液晶表示装置内部のタイミング調整等が可能となるインテリジェントな液晶表示装置を提供できる。

ところで、第2、第3の実施例では、液晶表示装置内部にMPUを設け外部との情報交換を実現した。

これに対して、コストメリットを追求し、簡単な情報のみ交換可能となるように、ハードウェアの簡略化を図った例を、第4の実施例として説明する。

第13図に、第4の実施例に係るホスト側表示系回路の構成を示す。

図中、第5図と同一機能を有する回路ブロックおよび同一信号線には同一符号を付し、説明を省略する。

図中、69は選択回路、70は同期信号線17の情報を読み込む入力ポート、71は液晶表示装

次に、同じく出力ポート71を介して、ライト信号線73にパルス情報を出力すると共に、データバスを介してパレットにアクセスする。以上の動作で、液晶表示装置74内部では、パレットに書き込み動作が実行される。

書き込み終了後は、選択信号線72を制御して、選択回路69が論理表示情報を選択する状態に戻る。

以上の手順で、パレットの書き込み操作が完了する。

次に、本実施例に係る液晶表示装置74について説明する。

第14図に、本実施例に係る液晶表示装置74の構成を示す。

図中、第13図と同一機能を有する回路ブロックおよび同一信号線には同一符号を付し、説明を省略する。

図中、75は選択回路69が出力する時分割バス、76は4ビットのラッチ回路、77はライト制御部、78はラッチ76のライト信号線、79

図74への情報転送を制御する出力ポート、72は選択信号線、73はライト信号線、74は論理表示情報とパレットの書き込み情報を時分割で入力する液晶表示装置である。

選択回路69は、通常、シリアル信号線14～16、28の論理表示情報を選択し、液晶表示装置74へ出力している。

本実施例は、帰線期間の表示情報は、実際の表示に影響しないという液晶表示装置の特徴を生かして、帰線期間にパレットの読み書きを実行するものである。

つまり、論理表示情報と読み書き情報を時分割して、転送するため、液晶表示装置に接続する信号線数が少なくできる。

MPU1が、液晶表示装置74内部のパレットに書き込む場合、先ず入力ポート70を介して、帰線期間を検出する。

検出後、MPU1は出力ポート71を介して、選択回路69がMPU1のデータバスを選択するよう選択信号線72を制御する。

はパレット80のライト信号線、80は16ワード×18ビットのRAM構成のパレットである。

表示期間中は、論理表示情報が時分割バス75を介してパレット80へ送られ、物理表示情報に変換される。

一方、帰線期間でライト信号線73にパルス情報が入ると、ライト制御部77は、ライト信号線78と79に順次パルス情報を出力する。

1回目のパルス情報はライト信号線78に出力し、時分割バス75の情報をラッチ76に保持する。2回目のパルス情報はライト信号線79に出力し、時分割バス75の情報が示す論理表示情報に対応するパレットの内容を書き換える。つまり、1回目のライト動作で保持したラッチ76の情報を書き込む。

3回目のパルス情報は再びライト信号線78に出力し、次に書き換えるパレット80の物理表示情報をラッチ76に保持し、4回目のパルス情報で時分割バス75の情報が示す論理表示情報に対応する物理表示情報を書き換える。

このように、時分割バス75を利用することにより、ラッチ76およびライト制御部77のような簡単なハードウェアでパレット80の書き込みが可能となる。

特に、時分割バスとしたことにより、パレットの情報を書き込むために増加する外部接続信号線数を、ライト信号線の1本だけとすることができ

る。

以上説明したように、以上の実施例によれば、液晶表示装置に論理表示情報を入力することになるので、外部接続する信号線数が少なくなり、液晶表示装置を制御する基板上の配線領域のを低減できる。

また、ケーブル接続用コネクタを小形化できるという点で高密度実装上の効果がある。さらに、ケーブルの信号線数低減により、ケーブルから発生する妨害電波低減の効果もある。

また、外部から情報の授受が可能なる手段を液晶表示装置内部に設けたことにより、液晶表示装置内部の動作モードを切換え可能となるため、解

像度および色数等多様な表示モードに対応できるという効果がある。

[発明の効果]

以上のように、本発明によれば、ホスト装置と液晶表示装置間の要転送データ量を削減できる表示システムおよび液晶表示装置を提供することができる。

(以下余白)

4. 図面の簡単な説明

第1図は本発明の第一の実施例に係る表示系回路の構成を示すブロック図、第2図は第一の従来例である表示系回路の構成を示すブロック図、第3図は第二の従来例である表示系回路の構成を示すブロック図、第4図は第1の実施例に係る液晶表示装置の構成を示すブロック図、第5図は第二の実施例に係る表示系回路の構成を示すブロック図、第6図は第二の実施例に係る液晶表示装置の構成を示すブロック図、第7図液晶表示パネルのドット構成を示す説明図、第8図は第二実施例に係るパレットの構成を示すブロック図、第9図は第二実施例に係るRAMブロックの構成を示すブロック図、第10図は本発明の第三の実施例に係る表示系回路の構成を示すブロック図、第11図は第3実施例に係る液晶表示装置の構成を示すブロック図、第12図は第3実施例に係る論理情報変換部の構成を示すブロック図、第13図は第四の実施例に係る表示系回路の構成を示すブロック図、第14図は第4の実施例に係る液晶表示装置

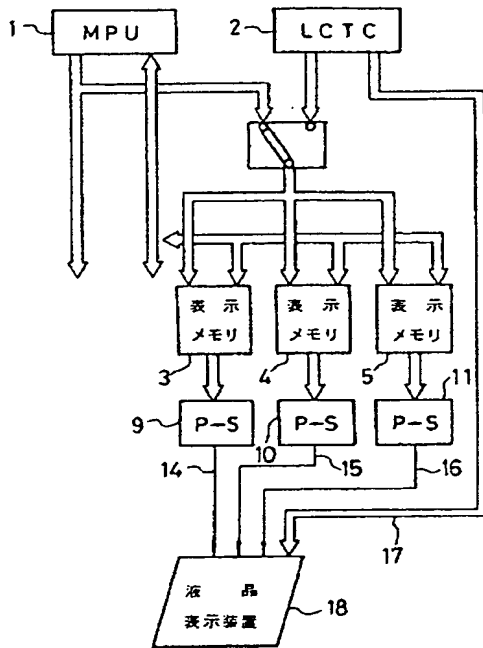
の構成を示すブロック図である。

1…MPU、2…LCTC、3、4、5…表示メモリ、9、10、11…並直変換回路、18…液晶表示装置、23…タイミング回路、24…Xドライバ、25…Yドライバ、27…パレット、29…シリアルポート、32…MPU、44…液晶表示パネル、45…デコーダ、49、50、51…RAMブロック、54、55…RAM、64…論理情報変換部、70…入力ポート、71…出力ポート、77…ライト制御部。

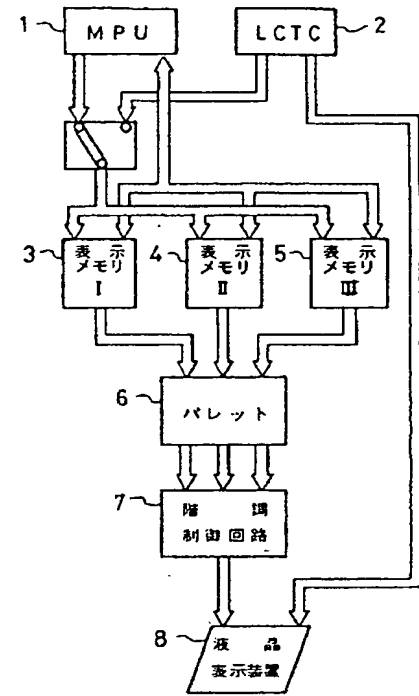
出願人 株式会社 日立製作所
(ほか1名)

代理人 弁理士 富田和子

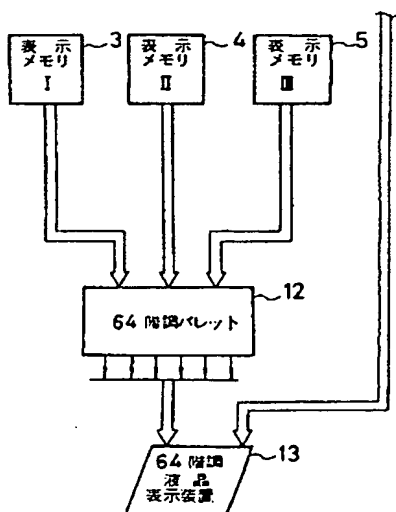
第 1 図



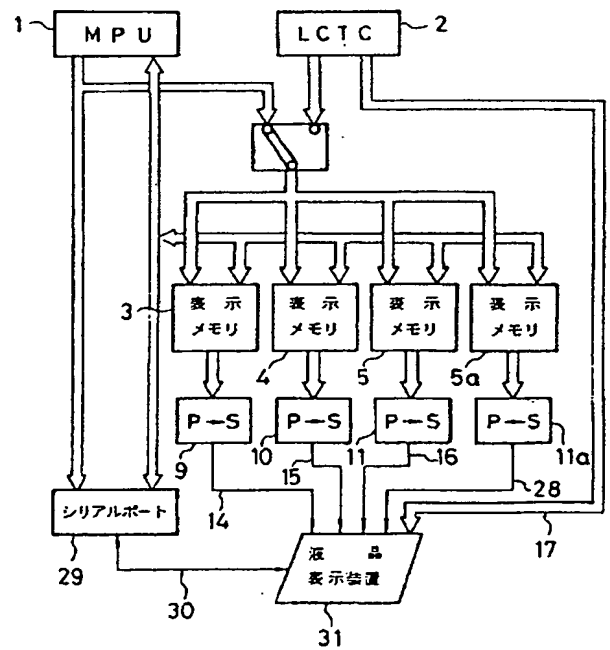
第 2 図



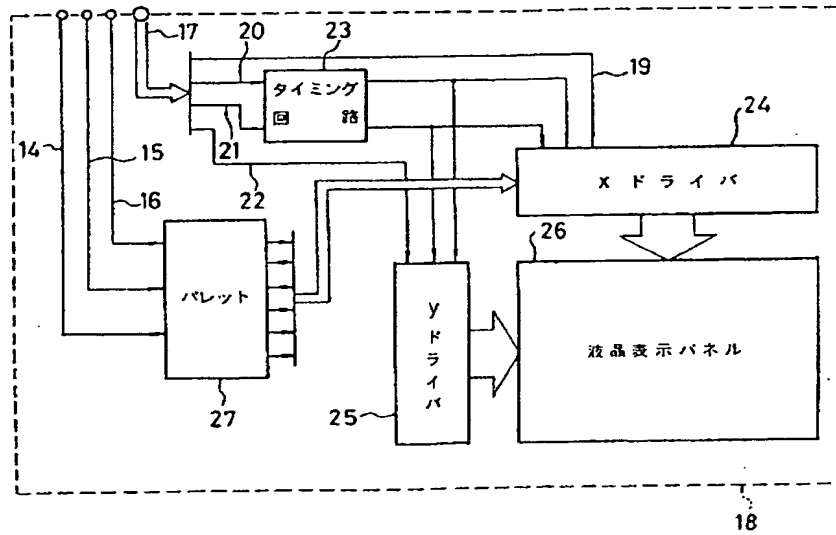
第 3 図



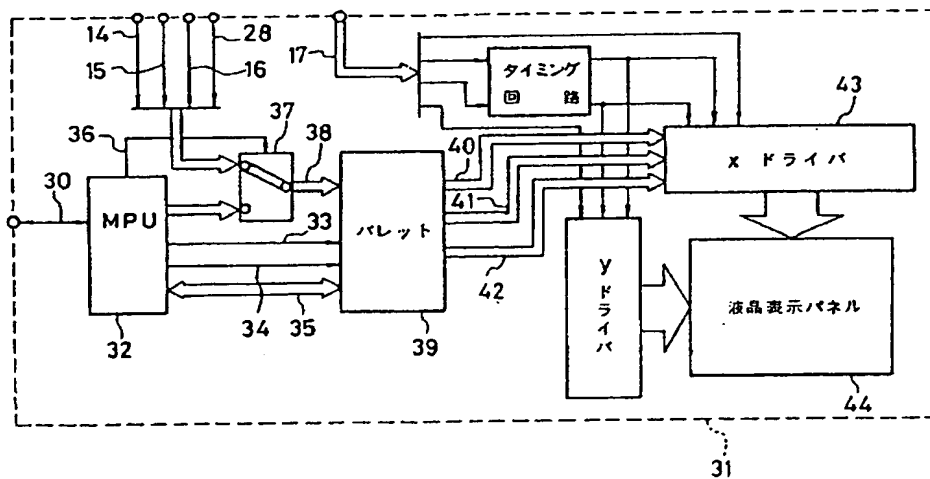
第 5 図



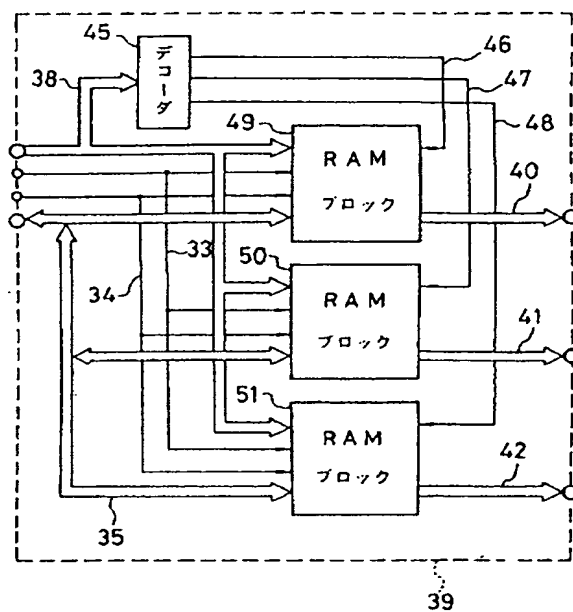
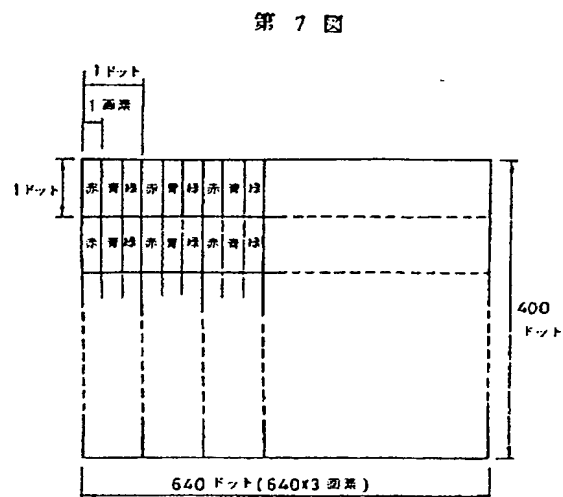
第 4 図



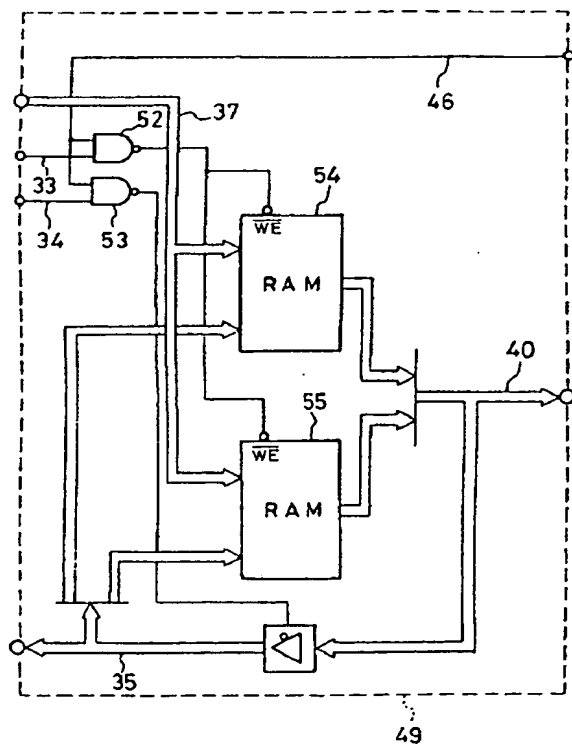
第 6 図



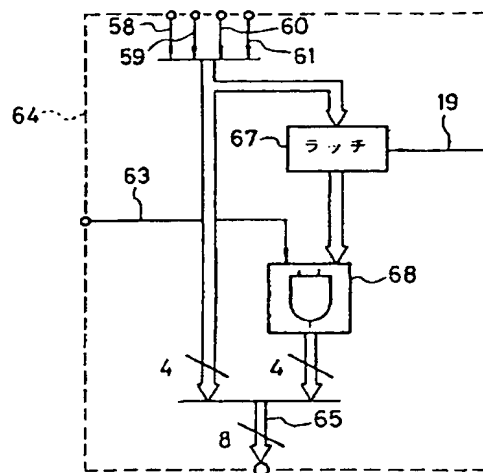
第 8 図



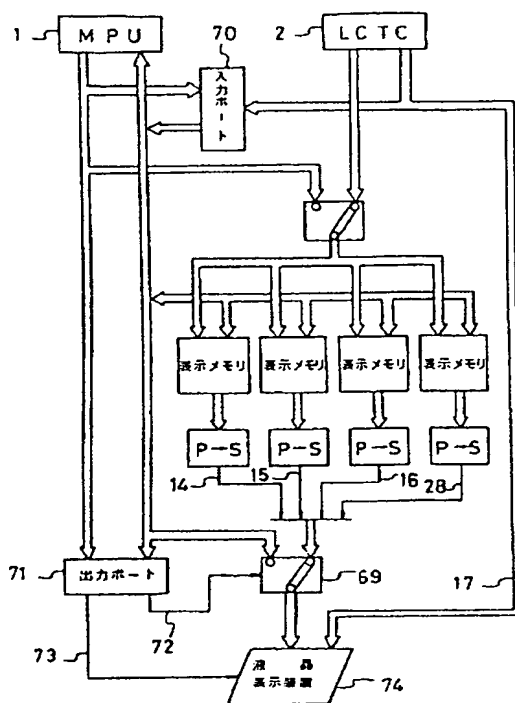
第 9 図



第 12 図



第 13 図



第 14 図

